

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-178110

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8244

H 0 1 L 27/10

3 8 1

27/11

27/08

3 2 1 K

21/8238

29/78

3 0 1 C

27/092

29/78

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号

特願平8-339345

(22) 出願日

平成8年(1996)12月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 原 浩 幸

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 松 井 正 貴

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

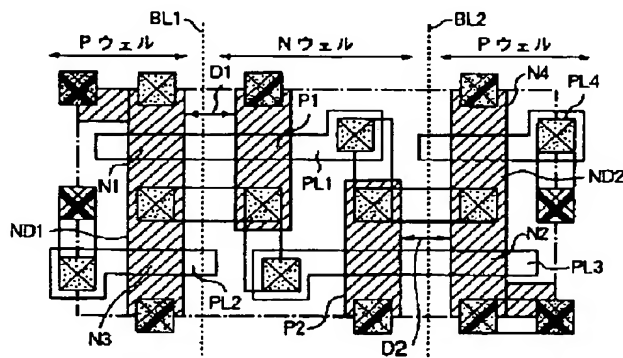
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 従来のSRAMセルでは、拡散層に折れ曲り部が存在するなどのレイアウト上無駄な面積が必要であった。

【解決手段】 SRAMセルを構成するインバータが形成されたPウェル領域及びNウェル領域に関し、Pウェル領域が2つに分割されてNウェル領域の両側に配置され、境界線BL1、BL2がビット線BL、/BLに平行に走るように形成されており、このようなレイアウトにすることでPウェル領域内の拡散層ND1、ND2が折れ曲り部のない簡易な形状となり、セル面積が縮小される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】第1のNチャネル型MOSトランジスタと第1のPチャネル型MOSトランジスタとを含む第1のインバータと、

第2のNチャネル型MOSトランジスタと第2のPチャネル型MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、

前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル型MOSトランジスタと、

前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、前記ワード線にゲートが接続された第4のNチャネル型MOSトランジスタとを備え、

前記第1、第2、第3及び第4のNチャネル形MOSトランジスタと前記第1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタが形成されたPウェル領域と前記第1及び第2のPチャネル形MOSトランジスタが形成されたNウェル領域との境界線と平行になるように設定されていることを特徴とする半導体記憶装置。

【請求項2】前記Pウェル領域は、第1、第2のウェル領域から成り、前記第1、第2のPチャネル形MOSトランジスタが配置されたNウェル領域の両側に、この第1、第2のPウェル領域が配置されており、

前記第1のPウェル領域に前記第1、第3のNチャネル形MOSトランジスタが形成され、前記第2のPウェル領域に前記第2、第4のNチャネル形MOSトランジスタが形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、

前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成され、前記ワード線を構成する金属配線層とコンタクトを介して電気的に接続されることを特徴とする請求項3記載の半導体記憶装置。

【請求項4】前記第1、第2、第3及び第4のNチャネ

ル形MOSトランジスタと前記第1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記ビット線に平行になるように設定されていることを特徴とする請求項1乃至3のいずれかに記載の半導体記憶装置。

【請求項5】前記第2の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置され、

前記第1の多結晶シリコン配線層と前記第4の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置されていることを特徴とする請求項3記載の半導体記憶装置。

【請求項6】前記第1のNチャネル形MOSトランジスタと前記第3のNチャネル形MOSトランジスタとは、前記第1のPウェル領域内の同一の拡散層に形成され、前記第2のNチャネル形MOSトランジスタと前記第4のNチャネル形MOSトランジスタとは、前記第2のPウェル領域内の同一の拡散層に形成されていることを特徴とする請求項3乃至5のいずれかに記載の半導体記憶装置。

【請求項7】前記第1、第3のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタと、前記第2、第4のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタとは、メモリセルの中心に対して点対称の関係になるように配置されていることを特徴とする請求項1乃至6記載の半導体記憶装置。

【請求項8】前記第1、第2のビット線と、前記第1、第2のPチャネル形MOSトランジスタのソースに接続された電源線とが第2層金属配線層で構成され、

前記ワード線と前記第1、第2のNチャネル形MOSトランジスタのソースに接続された接地線とが第3層金属配線層で構成されていることを特徴とする請求項5乃至7記載の半導体記憶装置。

【請求項9】前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、

前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記ワード線が第1、第2の金属配線層に分離して形成され、

前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成されており、金属配線層とコンタクトを介して、前記第1、第2の金属配線層に

それぞれ電氣的に接続されることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】前記第1、第2のビット線にはそれぞれ独立して第1、第2のセンスアンプが接続されており、書き込み時には、同一セル内の前記第1、第2のワード線が同時に選択され、読み出し時には、前記第1、第2のワード線が独立して異なるセルを選択し、前記第1、第2のビット線を介して前記第1、第2のセンスアンプからそれぞれのセルから読み出されたデータを出力することを特徴とする請求項9記載の半導体記憶装置。

【請求項11】第1のNチャネル形MOSトランジスタと第1のPチャネル形MOSトランジスタとを含む第1のインバータと、

第2のNチャネル形MOSトランジスタと第2のPチャネル形MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、

前記第1のインバータの出力端子にドレインが接続され、第1のビット線にソースが接続され、ワード線にゲートが接続された第3のPチャネル形MOSトランジスタと、

前記第2のインバータの出力端子にドレインが接続され、第2のビット線にソースが接続され、ワード線にゲートが接続された第4のPチャネル形MOSトランジスタとを備え、

前記第1及び第2のNチャネル形MOSトランジスタと前記第1、第2、第3及び第4のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が前記第1及び第2のNチャネル形MOSトランジスタが形成されたPウェル領域と前記第1、第2、第3及び第4のPチャネル形MOSトランジスタが形成されたNウェル領域との境界線と平行になるように設定されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、特にCMOS構成のSRAM (static random access memory) セルのレイアウトに関するものである。

【0002】

【従来の技術】CMOS構成のSRAMは、論理ICに混載される記憶装置として幅広く用いられている。この記憶装置を構成する記憶要素として、最も基本的なものが図16に示された1ポートメモリセル (SRAMセル) であり、6個のトランジスタで構成されている。

【0003】Pチャネル形MOSトランジスタP1及びNチャネル形MOSトランジスタN1で、等価回路を示した図17におけるインバータIN2が構成され、Pチャネル形MOSトランジスタP2及びNチャネル形MO

SトランジスタN2でインバータIN1が構成されている。このように、インバータIN1及びIN2は、入出力端子が相互に交差接続された関係にある。インバータIN1の出力端子及びインバータIN2の入力端子は、トランスファゲートトランジスタN3を介してビット線BLに接続され、インバータIN1の入力端子及びインバータIN2の出力端子は、トランスファゲートトランジスタN4を介してビット線／BLに接続されており、さらにトランジスタN3及びN4のゲートはワード線WLに接続されている。

【0004】このような6トランジスタメモリセルは、従来は図10及び図11に示されたようなレイアウトで配置されていた。ここで、図10は基板表面上に形成されたトランジスタを構成する拡散層と、その上面に形成された多結晶シリコン配線層、さらにその上面に形成された1層目の金属配線層1を含む下地を示し、図11はさらにその上面に形成された2乃至3層目の金属配線層2、3を含む上地を示している。図10及び図11で用いられているコンタクトやヴィアホールの記号は図12 (a) に、図10で用いられる拡散層、多結晶シリコン膜、金属配線層1の記号は図12 (b) に、図11で用いられる金属配線層2、3の記号は図12 (c) に示されるようである。

【0005】図11に示されたワード線WLに平行に、図10に示されたPチャネル形MOSトランジスタP1及びP2を形成するNウェル領域と、Nチャネル形MOSトランジスタN1～N4を形成するPウェル領域との境界線BL11が存在する。この境界線BL11に平行な線A-Aの上部は、トランジスタP1のゲートに接続された多結晶シリコン配線層PL11と、トランジスタP2のゲートに接続された多結晶シリコン配線層PL12とが、並進対称に配置されている。

【0006】さらに、線A-Aの下部は、トランジスタN1及びN3を構成する拡散層DR11と、トランジスタN2及びN4を構成する拡散層DR12とが、ワード線WLに直交するy軸に鏡映対象に配置されている。

【0007】図10から明らかなように、このレイアウトでは、接地線GNDとワード線WLとが金属配線層3により形成され、ビット線BL及び／BLが金属配線層2で形成されていることを除いて、他の全ては多結晶シリコン配線層PL11、PL12と金属配線層1で構成されている。また、多結晶シリコン配線層PL11、PL12で構成されるワード線WLは当該メモリセルの領域を横断して隣接する他のメモリセルのワード線WLと接続するので、金属配線層3は機能上は不要である。さらに、接地線GNDをビット線BL及び／BLと平行に金属配線層2により構成することもできる。従って、図10及び図11に示されたレイアウトは、多結晶シリコン配線層PL11、PL12及び金属配線層1及び2で構成することも可能である。

【0008】このような従来のレイアウトは、プロセス技術により限定される設計基準（デザインルール）が、以下のような条件を満たすように最小面積で構成されていた。

（a 1）金属配線層の層数が1層ないし2層までである。

（a 2）金属配線層の最小線幅と最小間隔の設計基準が、多結晶シリコン層のものより大きい（約2倍）。

（a 3）拡散層又は多結晶シリコン配線層と金属配線層1との開口部であるコンタクトホールと、金属配線層1と金属配線層2との間の開口部である第1スルーホール又は第1ビアホールとが、上下方向に直接重なることがないようにする。また、コンタクトホールの面積が、通常の金属配線層の最小線幅の約2倍と大きいので、セル内には多くのコンタクトホールやスルーホールを設けないようにしてセル面積が増大するのを防止する。

（a 4）Pチャネル形MOSトランジスタとNチャネル形MOSトランジスタとの間には、Nウエル領域とPウエル領域との間の境界が存在し、このような導電型の異なるウエル領域の分離には、LOCOS法による素子分離を行っている。従って、Pウエル領域とNウエル領域との分離幅は、同一導電型のウエル領域の素子分離幅に比べて著しく大きく（約4倍）とる必要がある。

【0009】以上のような条件を満たす必要があるため、以前は配線は極力多結晶シリコン膜により構成し、Pウエル領域とNウエル領域との分離領域において複雑な配線の交差接続を行うなどの無駄な領域の有効活用が必要であった。

【0010】しかし、近年のプロセス技術の進歩により、設計基準において次のような変化が生じてきた。

【0011】まず、化学機械研磨技術（CMP）の実用化に伴い、金属配線層を平坦化する技術が進歩したことにより、

（b 1）金属配線層を3層、4層まで増加させても、歩留まりの著しい低下を招くことがない。

（b 2）金属配線層の最小線幅及び最小間隔の設計基準が、多結晶シリコン層と大差なくなった。

（c 2）ボーダレスコンタクト技術が導入され、コンタクト部の面積が金属配線層の最小線幅と同一の設計基準で形成することが可能になった。さらに、コンタクトホール、スルーホールを、直接上下に重ねて形成するスタックトビア構造が可能となった。

【0012】さらに、素子分離を行う際に、LOCOS法からトレンチ分離法（STI）に進歩したことにより、

（c 1）Pウエル領域とNウエル領域との分離幅が、同一導電型のウエル領域（Pウエル領域とPウエル領域、Nウエル領域とNウエル領域）の素子分離幅とほぼ同一になった。

【0013】このようなプロセス技術の進歩があると、

図10及び図11に示されたようなレイアウトは、最適な配置がなされているとは言えない。例えば、多結晶シリコン配線層PL11及びPL12は、それぞれT字型の形状をして相互に並進対象に配置されており、無駄な領域が大きい。また、Nチャネル形MOSトランジスタN1とNチャネル形MOSトランジスタN3とが相互に直交するように配置されるため、拡散層がL字型に折れ曲がっており、やはりセル面積に無駄が生じている。

【0014】図10及び図11に示されたレイアウトを改善したものを、図13及び図14に示す。基本的なトランジスタN1～N4、P1～P2の配置、及び幾何学的形状は、図10及び図11のものと同様である。相違点は、図10及び図11に示されたレイアウトでは交差接続していた多結晶シリコン層PL11及びPL12を、金属配線層2に替えて構成している点にあり、この変更に伴いビット線BL及び／BLと接地線GNDとを金属配線層3により構成している。この図13及び図14に示されたレイアウトによれば、図10及び図12に示されたものより約10%面積が減少する。

【0015】しかし、図13及び図14のレイアウトにおいても、トランジスタN1とN3、トランジスタN2とN4をそれぞれ構成する拡散層がL字型の形状とならざるを得ず、セル面積に無駄が生じていた。

【0016】

【発明が解決しようとする課題】上述のように、従来のSRAMセルのレイアウトには拡散層がL字型の形状となるなど幾何学的形状に無駄があり、素子面積が大きいという問題があった。

【0017】本発明は上記事情に鑑みてなされたもので、トレンチ素子分離技術やスタックトビア構造等の最新のプロセス技術を用いて3層以上の金属配線層構造とすることにより、素子面積を縮小することが可能な半導体記憶装置のレイアウト構造を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体記憶装置は、第1のNチャネル形MOSトランジスタと第1のPチャネル形MOSトランジスタとを含む第1のインバータと、第2のNチャネル形MOSトランジスタと第2のPチャネル形MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル形MOSトランジスタと、前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、前記ワード線にゲートが接続された第4のNチャネル形MOSトランジスタとを備え、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタと前記第

1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタが形成されたPウェル領域と前記第1及び第2のPチャネル形MOSトランジスタが形成されたNウェル領域との境界線と平行になるように設定されていることを特徴としている。

【0019】ここで、前記Pウェル領域は、第1、第2のウェル領域から成り、前記第1、第2のPチャネル形MOSトランジスタが配置されたNウェル領域の両側に、この第1、第2のPウェル領域が配置されており、前記第1のPウェル領域に前記第1、第3のNチャネル形MOSトランジスタが形成され、前記第2のPウェル領域に前記第2、第4のNチャネル形MOSトランジスタが形成されていてもよい。

【0020】また、前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成され、前記ワード線を構成する金属配線層とコンタクトを介して電気的に接続されていてもよい。

【0021】また、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタと前記第1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記ビット線に平行になるように設定されていてもよい。

【0022】あるいは、前記第2の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置され、前記第1の多結晶シリコン配線層と前記第4の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置されていてもよい。

【0023】前記第1のNチャネル形MOSトランジスタと前記第3のNチャネル形MOSトランジスタとは、前記第1のPウェル領域内の同一の拡散層に形成され、前記第2のNチャネル形MOSトランジスタと前記第4のNチャネル形MOSトランジスタとは、前記第2のPウェル領域内の同一の拡散層に形成されていてもよい。

【0024】また、前記第1、第3のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタと、前記第2、第4のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタ

とは、メモリセルの中心に対して点対称の関係になるように配置されるのが望ましい。

【0025】前記第1、第2のビット線と、前記第1、第2のPチャネル形MOSトランジスタのソースに接続された電源線とが第2層金属配線層で構成され、前記ワード線と前記第1、第2のNチャネル形MOSトランジスタのソースに接続された接地線とが第3層金属配線層で構成されてもよい。

【0026】前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記ワード線が第1、第2の金属配線層に分離して形成され、前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成されており、金属配線層とコンタクトを介して、前記第1、第2の金属配線層にそれぞれ電気的に接続されるようにレイアウトすることもできる。

【0027】前記第1、第2のビット線にはそれぞれ独立して第1、第2のセンスアンプが接続されており、書き込み時には、同一セル内の前記第1、第2のワード線が同時に選択され、読み出し時には、前記第1、第2のワード線が独立して異なるセルを選択し、前記第1、第2のビット線を介して前記第1、第2のセンスアンプからそれぞれのセルから読み出されたデータを出力するようにすることもできる。

【0028】上記発明ではいずれも第1、第2のインバータと第1、第2のビット線との間のトランジスタにNチャネル形MOSトランジスタを用いているが、Pチャネル形MOSトランジスタを用いて構成してもよい。

【0029】

【発明の実施の形態】以下に、本発明の一実施の形態について図面を参照して説明する。本発明の第1の実施の形態による半導体記憶装置を構成するSRAMセルのレイアウトを、図1及び図2に示す。図1に、半導体基板表面に形成された拡散層と、その上面に形成された多結晶シリコン膜、金属配線層1を含む下地を示し、図2にその上面に形成された金属配線層2及び3を含む上地を示す。図3(a)の各種記号は、図1及び図2において用いられているセル境界線、コンタクト及びヴィア1、2を示し、図3(b)の記号は拡散層、多結晶シリコン膜、金属配線層1、図3(c)の記号は金属配線層2、3をそれぞれ示す。

【0030】図1のように、中央にPチャネル形MOS

トランジスタP1及びP2が形成されたNウェル領域が配置され、その両側にNチャネル形MOSトランジスタN1及びN3が形成されたPウェル領域とNチャネル形MOSトランジスタN2及びN4が形成されたPウェル領域とが配置されている。

【0031】ワード線WLに接続されるワード線トランジスタN3のゲートとトランジスタN4のゲートとは、分離した多結晶シリコン配線層により構成されており、金属配線層3で形成されたワード線WLにはスタックヴィアを介してそれぞれ別に接続されている。図2に示されたように、ビット線BL及び／BLは金属配線層2でそれぞれ別々に形成されている。電源線Vddは、ビット線BL及び／BLの間の中央部に金属配線層2によりビット線に平行に形成されている。ワード線WLは、ビット線BL及び／BLに直交する方向に金属配線層3で形成され、接地線GNDはワード線WLの両側に平行に2本の金属配線層3で形成されている。また、Pウェル領域の基板へのコンタクトは、コンタクト+ヴィア1+ヴィア2から成るスタックトヴィア構造により、接地された金属配線層3からPウェル領域内の拡散層まで電気的に接続されている。

【0032】図10及び図11、又は図13及び図14に示された従来のレイアウトでは、Nウェル領域とPウェル領域との境界線BL11、BL12が、ビット線BL及び／BLと直交するように走っていた。これに対し、第1の実施の形態におけるレイアウトは、Nウェル領域とPウェル領域の境界線BL1、BL2が、ビット線BL及び／BLに平行に走っている点に特徴がある。これにより、導電型の異なるウェル領域の境界線を挟んでインバータを構成するPチャネル形MOSトランジスタP1とNチャネル形MOSトランジスタN1を、トランスファゲートトランジスタのNチャネル形MOSトランジスタN3と平行に位置するように配置することができる。この結果、トランジスタN1及びN3が形成されたPウェル領域内のN型拡散層ND1と、トランジスタN2及びN4が形成されたN型拡散層ND2とを、折り曲げること無くビット線BL及び／BLに平行に直線状に形成することができ、無駄な領域の発生を防止することができる。

【0033】さらに、本実施の形態では、トランジスタP1とトランジスタN1から成る一方のインバータ及びトランスファゲートトランジスタN3と、トランジスタP2とトランジスタN2から成る他方のインバータ及びトランスファゲートトランジスタN4とが、SRAMセルの中心に対して点対称に配置されている点にも特徴がある。このように配置することで、2つのインバータを交差接続する配線において、トランジスタP1、P2、N1及びN2のゲート、ドレインを内部接続する配線を空間を交差するように接続する必要がなくなり、配線領域を削減することができる。

【0034】また、トランジスタN1及びP1の多結晶シリコン配線層PL1とトランジスタN4の多結晶シリコン配線層PL2とをワード線WLに平行に一直線上に配置し、同様にトランジスタN3及びP2の多結晶シリコン配線層PL2とトランジスタN2の多結晶シリコン配線層PL4とをワード線WLに平行に一直線上に配置することができる。即ち、全ての多結晶シリコン配線層PL1～PL4と金属配線層2及び3とは平行であり、拡散層ND1及びND2はこれに直交するように配置されており、従来存在していた折れ曲がり部の形成が不要である。

【0035】ところで、このレイアウトでは図1に示されたように、二つのPウェル領域とNウェル領域との間に分離領域が2箇所存在する。しかし、トレンチ素子分離技術を用いることで、導電型の異なるウェル領域間の素子分離幅を、導電型が同一のウェル領域間の素子分離幅とほぼ同程度にまで縮小することができるため、セル面積の増大が抑制される。この結果、本実施の形態によれば図10及び11に示された従来の場合よりも約35%面積を縮小することが可能である。

【0036】また、第1の実施の形態によれば、セル面積が縮小されるのみならず、以下のような理由によりノイズが低減されるという効果も得られる。本実施の形態によるレイアウトでは、セルの横方向(x方向)の長さ、即ちワード線WL方向の長さが、縦方向(y方向)の長さ、即ちビット線BL及び／BLの長さに対して相対的に長い。これにより、セルのx方向のピッチ間にそれぞれ配置され、ビット線BL及び／BLに接続されるセンスアンプのレイアウトが容易になる。

【0037】さらに、セル形状がy方向より相対的にx方向に長いことで、ワード線WL方向に接続されるセルの数が従来のレイアウトよりも減少する。1本のワード線に接続されるセルの数が少ないほど読み出し時に流れるセル電流は減少する。従って、本実施の形態によれば消費電力を低減することができる。

【0038】また、論理ICではメモリセル上に4層目の金属配線層を用いてバスラインを走らせる場合が多いが、以下の理由によりセル当たりのビット線BL及び／BL方向の配線リソースを多く得られるという効果も奏する。即ち、メモリセル上にバスラインが走る場合、ビット線BL、／BLとバスラインとが上下に平行して長い距離を走るように配置すると、バスラインの信号変化が容量結合ノイズとなってビット線BL、／BLに重畳し、誤動作を発生させる。本実施の形態では、ビット線BL、／BLの真上をはずしてビット線BL、／BLに平行にバスラインを平行に配置することでこのような誤動作を防止することができる。また、ビット線BL、／BLが金属配線層2で構成されており、メモリセル上を走る金属配線層4で構成されたバスラインとの間に、金属配線層3から成る接地線GNDとワード線WLが存在

しており、これが金属遮蔽層として作用する。このため、誤動作の発生を確実に防止することが可能である。

【0039】本発明の第2の実施の形態による半導体記憶装置のレイアウトは、図4及び図5に示されるようであり、用いられている記号を図6(a)～(c)に示す。

【0040】本実施の形態は、上記第1の実施の形態と比較して、金属配線層3で形成されたワード線WLから多結晶シリコン配線層へコンタクトをとる領域をPウェル領域に設けており、さらに金属配線層2から成る接地線GNDと電源線Vddをビット線BL及び／BLに平行に設けている点が相違する。この実施の形態によるレイアウトは、ウェル領域の分離幅が素子分離幅よりも比較的大きい場合に好適であり、上記第1の実施の形態における上記効果に加えて、次のような本実施の形態特有の効果が得られる。

【0041】電源線Vddと接地線GNDがワード線WLと平行に配置されている場合は、選択されたワード線に接続された全てのセルを流れる電流が1本の電源線Vdd及び接地線GNDに流れ込む。これに対し、本実施の形態のように、電源線Vddと接地線GNDをビット線BL及びBLに平行に走らせることで、セルの読み出し又は書き込み時に電源線Vdd及び接地線GNDに流れる電流を、当該セル一つに限定することができる。この結果、第2の実施の形態によれば上記第1の実施の形態よりも、電源線Vdd及び接地線GNDのエレクトロマイグレーション及び電圧降下に対する動作マージンを大きくとることが可能である。

【0042】次に、本発明の第3の実施の形態による半導体記憶装置のレイアウトについて、図7～図9を用いて説明する。上記第2の実施の形態と比較し、金属配線層3で構成された2本のワード線WL1、2が設けられ、さらにトランジスタN3のゲートとトランジスタN4のゲートとがそれぞれ異なるワード線WL1、2に接続されている点が相違する。このようにワード線WL1、2を2本設けたことにより、1つのセル内で独立してトランジスタN3とN4とを制御することが可能になり、1組のビット線対BL、／BLに異なるセルからのデータを読み出すことが可能になる。従って、ビット線BLとビット線／BLとに1つずつセンスアンプを接続することで、シングルエンドの読み出しではあるが2ポートメモリとしての読み出しが可能になる。書き込み時には、ワード線WL1及びWL2とで同一セルを選択して、1ポートメモリとして動作させる。このようにして、本実施の形態では通常の1ポートメモリと同一のセル面積により、読み出し時には2ポートメモリ、書き込み時には1ポートメモリを実現することができる。

【0043】上述した実施の形態は、いずれも一例であって本発明を限定するものではない。例えば、上記第1乃至第3の実施の形態による半導体記憶装置では、いず

れも図16及び17に示されたように、トランスファゲートトランジスタがNチャネル形MOSトランジスタN3及びN4で構成されている。しかし、図21及び図22のように、トランスファゲートトランジスタをPチャネル形MOSトランジスタP3及びP4で構成し、1つのSRAMセルを4つのPチャネル形MOSトランジスタP1～P4と2つのNチャネル形MOSトランジスタN1～N2で構成してもよい。この場合には、レイアウトとしては下地においてPウェル領域を中央部に配置しその両側に二つのNウェル領域を配置し、上地において電源線Vddと接地線GNDとを入れ替えればよい。

【0044】例えば、上記第1の実施の形態におけるトランスファゲートトランジスタをPチャネル形MOSトランジスタP3及びP4で構成した場合のレイアウトは、図18及び図19に示されるようである。上地において、1つのPウェル領域にNチャネル形MOSトランジスタN1及びN2が形成され、その両側にPチャネル形MOSトランジスタP1及びP3が形成されたNウェル領域と、Pチャネル形MOSトランジスタP2及びP4が形成されたNウェル領域とが配置されており、下地では電源線Vddと接地線GNDとが入れ替わっている。同様に、上記第2及び第3の実施の形態に対しても、トランスファゲートトランジスタをPチャネル形MOSトランジスタで構成することが可能である。

【0045】

【発明の効果】以上説明したように、本発明の半導体記憶装置によれば、メモリセルを構成するインバータが形成されたPウェル領域とNウェル領域の境界線がビット線に平行に配置されることで、Pウェル領域又はNウェル領域内の拡散層の形状及び2つのインバータの交差接続部の形状を折れ曲り部のない簡易なものとすることができ、セル面積を縮小することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図2】同半導体記憶装置における上地のレイアウトを示した平面図。

【図3】図1、図2において用いられるコンタクト、ビア、拡散層、及び配線層の各種記号を示した説明図。

【図4】本発明の第2の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図5】同半導体記憶装置における上地のレイアウトを示した平面図。

【図6】図4、図5において用いられるコンタクト、ビア、拡散層、及び配線層の各種記号を示した説明図。

【図7】本発明の第3の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図8】同半導体記憶装置における上地のレイアウトを示した平面図。

【図9】図7、図8において用いられるコンタクト、ヴ

13

ィア、拡散層、及び配線層の各種記号を示した説明図。

【図10】従来の半導体記憶装置における下地のレイアウトを示した平面図。

【図11】同半導体記憶装置における上地のレイアウトを示した平面図。

【図12】図10、図11において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図13】従来の他の半導体記憶装置における下地のレイアウトを示した平面図。

【図14】同半導体記憶装置における上地のレイアウトを示した平面図。

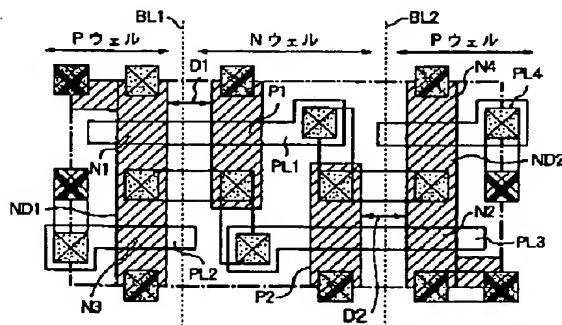
【図15】図13、図14において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図16】SRAMセルの構成を示した回路図。

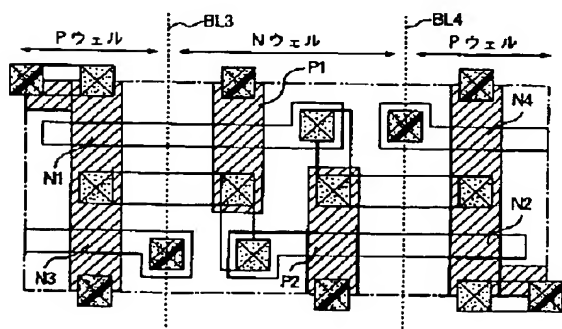
【図17】同SRAMセルの電氣的に等価な回路構成を示した回路図。

【図18】本発明の第4の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図1】



【図4】



14

【図19】同半導体記憶装置における上地のレイアウトを示した平面図。

【図20】図18、図19において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図21】本発明の第4の実施の形態による半導体記憶装置におけるSRAMセルの回路構成を示した回路図。

【図22】同SRAMセルの電氣的に等価な回路構成を示した回路図。

10 【符号の説明】

BL1～BL8 ビット線

WL、WL1、WL2 ワード線

GND 接地線

Vdd 電源線

N1～N4 Nチャネル形MOSトランジスタ

P1～P4 Pチャネル形MOSトランジスタ

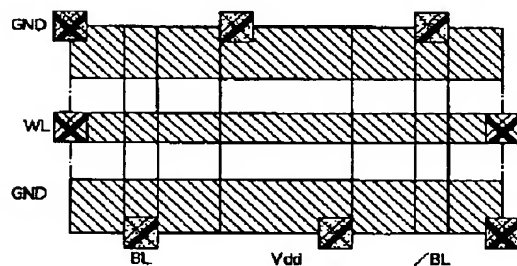
IN1、IN2 インバータ

ND1、ND2 拡散層

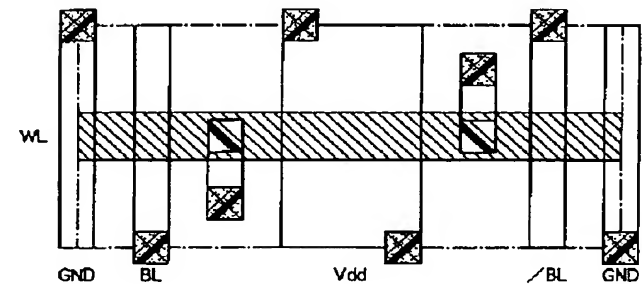
PL1、PL2 多結晶シリコン配線層

20

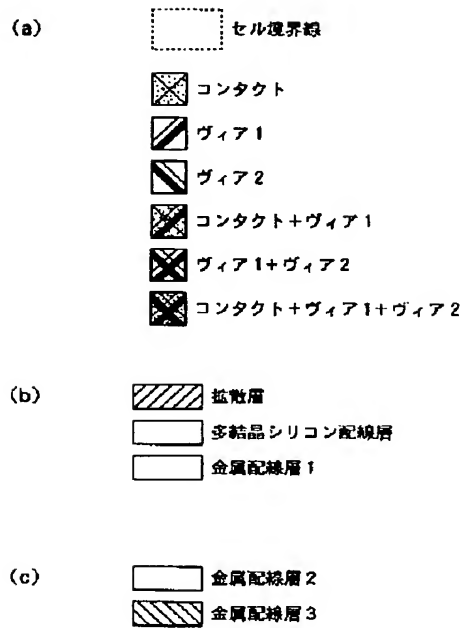
【図2】



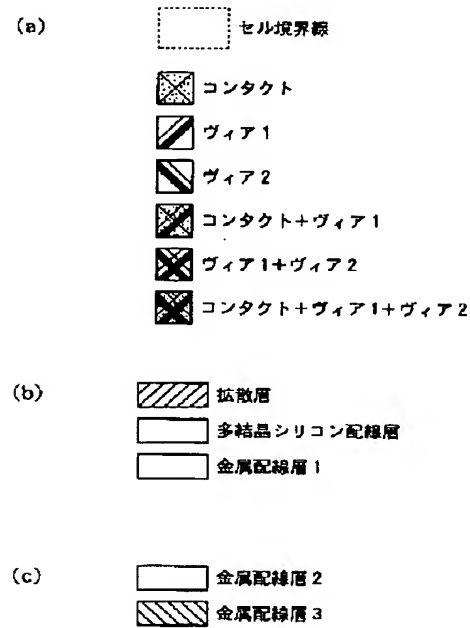
【図5】



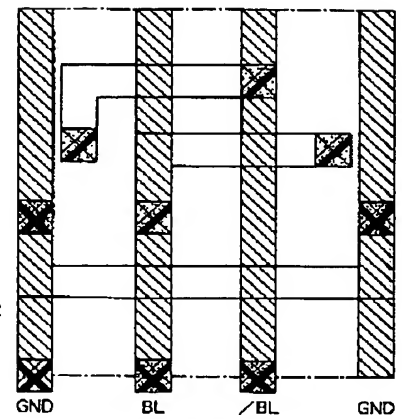
【図3】



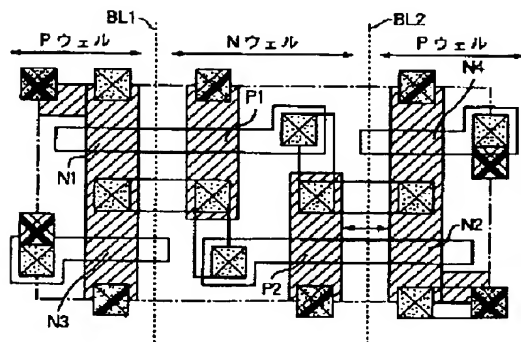
【図6】



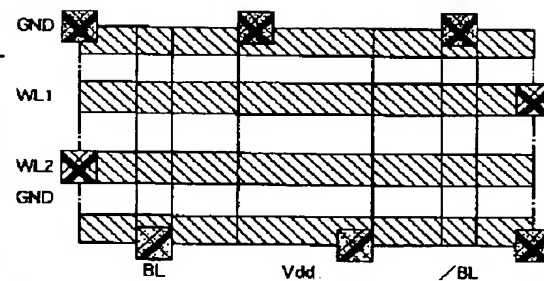
【図14】



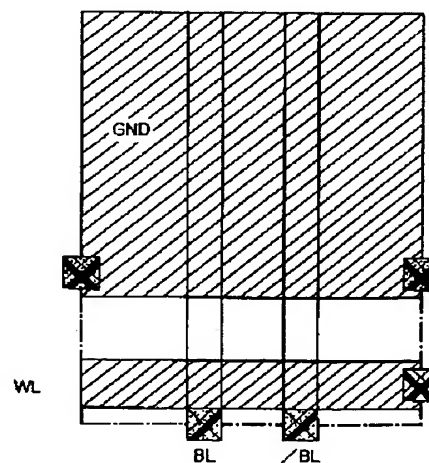
【図7】



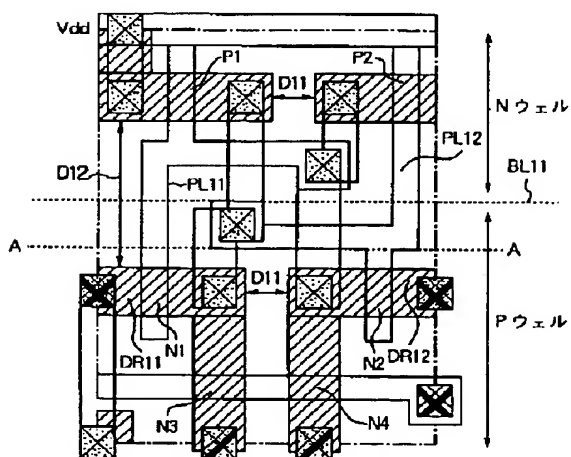
【図8】



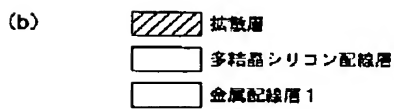
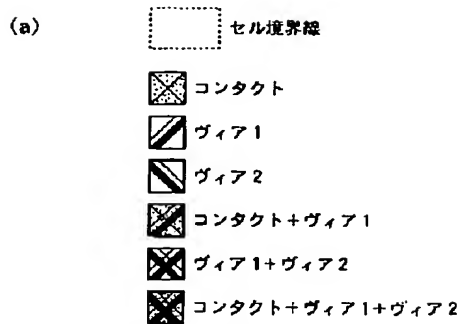
【図11】



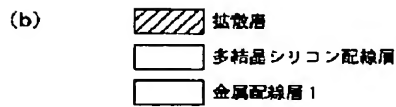
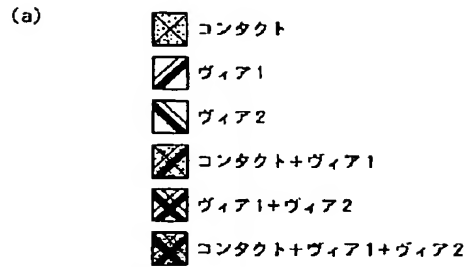
【図10】



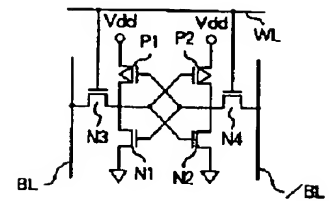
【図9】



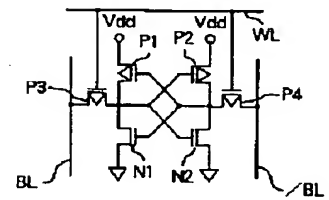
【図12】



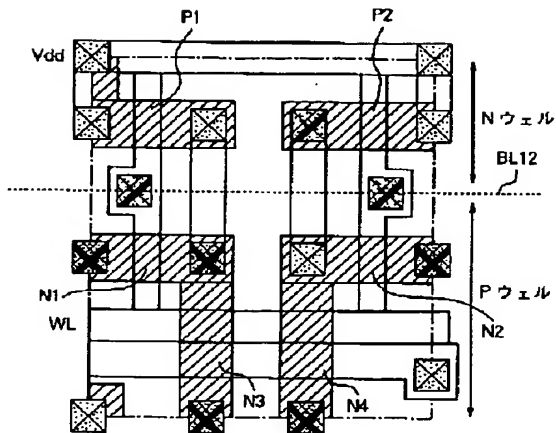
【図16】



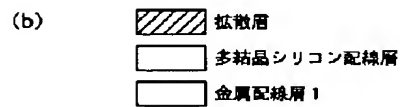
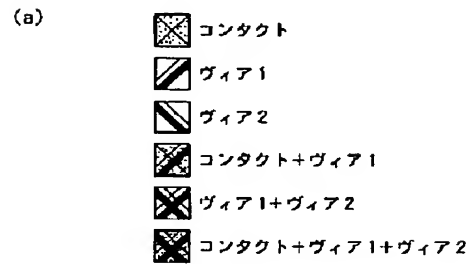
【図21】



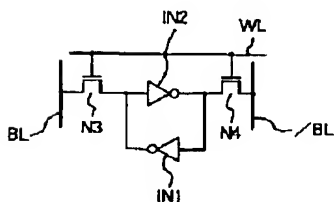
【図13】



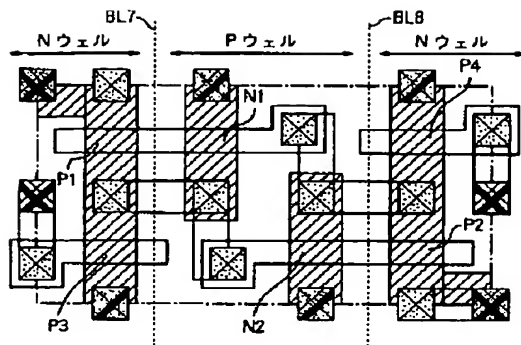
【図15】



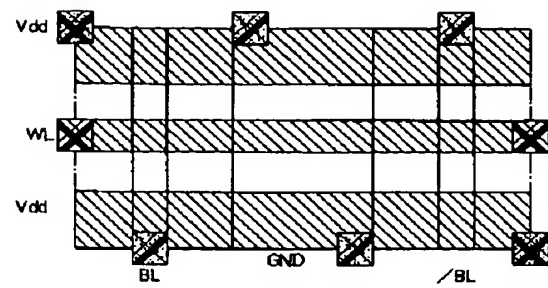
【図17】



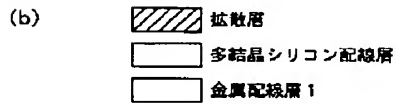
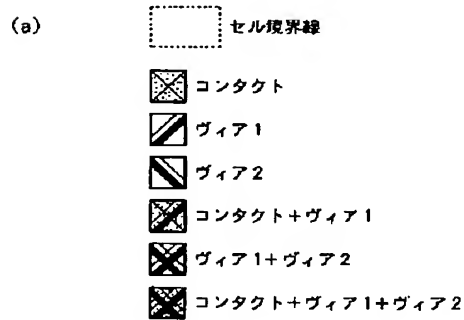
【図18】



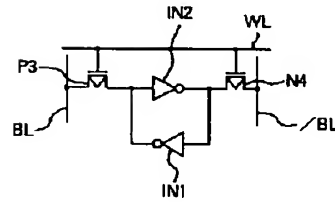
【図19】



【図20】



【図22】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-178110

(43)Date of publication of application : 30.06.1998

(51)Int.Cl. H01L 21/8244
 H01L 27/11
 H01L 21/8238
 H01L 27/092
 H01L 29/78

(21)Application number : 08-339345

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.12.1996

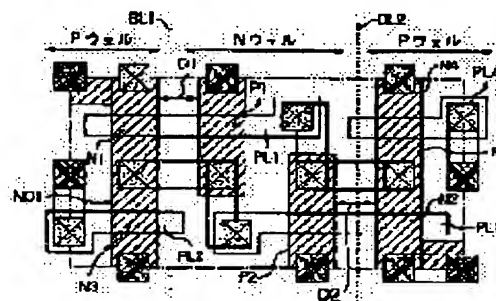
(72)Inventor : HARA HIROYUKI
 MATSUI MASAKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a layout structure of a semiconductor storage device whose element area is reduced, by using a trench element separation technique and such a newest process technique as stacked via structure, to obtain a metal wiring layer structure of three layers or more.

SOLUTION: In a P-well region and an N-well region in which an inverter, constituting a SRAM cell (static random access memory), is formed, the P-well region is divided into two sections and they are placed on both sides of the N-well region, and boundary lines BL1 and BL2 are so formed as to run in parallel with bit lines BL₁/BL₂. By employing such a layout as above, diffusion layers ND1 and ND2 in the P-well region are provided with a simple form with no bent part, and a cell area is reduced.



LEGAL STATUS

[Date of request for examination] 03.03.2000
 [Date of sending the examiner's decision of rejection] 29.07.2003
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection] 2003-16535
 [Date of requesting appeal against examiner's decision of rejection] 28.08.2003
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has the following. Orientation of each source drain of the said 1st, 2nd, 3rd, and 4th N channel form MOS transistor, said 1st, and 2nd P channel form MOS transistors P in which the said 1st, 2nd, 3rd, and 4th N channel form MOS transistors were formed — a well — N in which the field, said 1st, and 2nd P channel form MOS transistors were formed — a well — a semiconductor memory characterized by being set up so that it may become a borderline with a field, and parallel. The 1st inverter containing the 1st N channel mold MOS transistor and the 1st P channel mold MOS transistor The 2nd inverter by which an input terminal was connected to an output terminal of said 1st inverter, and an output terminal was connected to an input terminal of said 1st inverter including the 2nd N channel mold MOS transistor and the 2nd P channel mold MOS transistor The 3rd N channel mold MOS transistor by which the source was connected to an output terminal of said 1st inverter, a drain was connected to the 1st bit line, and the gate was connected to a word line The 4th N channel mold MOS transistor by which the source was connected to an output terminal of said 2nd inverter, a drain was connected to the 2nd bit line, and the gate was connected to said word line

[Claim 2] said P — a well — a field — the 1st and 2nd well — N which consists of a field and by which the said 1st and 2nd P channel form MOS transistor has been arranged — a well — on both sides of a field The said 1st and 3rd N channel form MOS transistor is formed in a field. this 1st and 2nd P — a well — a field arranges — having — **** — said 1st P — a well — A semiconductor memory according to claim 1 characterized by said 2nd thing [that the said 2nd and 4th N channel form MOS transistor is formed in a field P well].

[Claim 3] The 1st polycrystalline silicon wiring layer used for the gate of said 3rd N channel form MOS transistor, The 2nd polycrystalline silicon wiring layer used for the gate of said 1st N channel form MOS transistor and the gate of said 1st P channel form MOS transistor is arranged at parallel. The 3rd polycrystalline silicon wiring layer used for the gate of said 4th N channel form MOS transistor, The 4th polycrystalline silicon wiring layer used for the gate of said 2nd N channel form MOS transistor and the gate of said 2nd P channel form MOS transistor is arranged at parallel. Said 1st polycrystalline silicon wiring layer and said 3rd polycrystalline silicon wiring layer are a semiconductor memory according to claim 3 characterized by connecting electrically through a metal wiring layer and contact which are separated and formed and constitute said word line.

[Claim 4] A semiconductor memory according to claim 1 to 3 characterized by setting up orientation of each source drain of the said 1st, 2nd, 3rd, and 4th N channel form MOS transistor, said 1st, and 2nd P channel form MOS transistors so that it may become in parallel with said bit line.

[Claim 5] Said 2nd polycrystalline silicon wiring layer and said 3rd polycrystalline silicon wiring layer are a semiconductor memory according to claim 3 which is arranged so that it may stand in a line on a straight line along said direction of a word line, and is characterized by being arranged so that said 1st polycrystalline silicon wiring layer and said 4th polycrystalline silicon wiring layer may be located in a line on a straight line along said direction of a word line.

[Claim 6] Said 1st N channel form MOS transistor and said 3rd N channel form MOS transistor are said 1st semiconductor memory according to claim 3 to 5 with which it is formed in the same diffusion layer in a field P well, and said 2nd N channel form MOS transistor and said 4th N channel form MOS transistor are characterized by said 2nd thing [being formed in the same diffusion layer in a field P well].

[Claim 7] The said 1st and 3rd N channel form MOS transistor and said 1st P channel form MOS transistor, and the said 2nd and 4th N channel form MOS transistor and said 1st P channel form MOS transistor are a semiconductor memory according to claim 1 to 6 characterized by being arranged so that it may become the relation of point symmetry to a center of a memory cell.

[Claim 8] A semiconductor memory according to claim 5 to 7 characterized by for said 1st and 2nd bit line and a power supply line connected to the source of the said 1st and 2nd P channel form MOS transistor consisting of 2nd layer metal wiring layers, and a grounding conductor connected to the source of said word line and the said 1st and 2nd N channel form MOS transistor consisting of 3rd layer metal wiring layers.

[Claim 9] The 1st polycrystalline silicon wiring layer used for the gate of said 3rd N channel form MOS transistor, The 2nd polycrystalline silicon wiring layer used for the gate of said 1st N channel form MOS transistor and the gate of said 1st P channel form MOS transistor is arranged at parallel. The 3rd polycrystalline silicon wiring layer used for the gate of said 4th N channel form MOS transistor, The 4th polycrystalline silicon wiring layer used for the gate of said 2nd N channel form MOS transistor and the gate of said 2nd P channel form MOS transistor is arranged at parallel. Said word line separates into the 1st and 2nd metal wiring layer, and is formed, and separate said 1st polycrystalline silicon wiring layer and said 3rd polycrystalline silicon wiring layer, it is formed, and a metal wiring layer and contact are minded. A semiconductor memory according to claim 8 characterized by connecting with the said 1st and 2nd metal wiring layer electrically, respectively.

[Claim 10] The 1st and 2nd sense amplifier is independently connected to said 1st and 2nd bit line, respectively. At the time of writing Said 1st and 2nd word line in the same cel is chosen simultaneously. At the time of read-out A semiconductor memory according to claim 9 which chooses a cel from which said 1st and 2nd word line differs independently, and is characterized by outputting data by which reading appearance was carried out from each cel from said 1st and 2nd sense amplifier through said 1st and 2nd bit line.

[Claim 11] It has the following. Said 1st [the] and P in which said 1st and 2nd N channel form MOS transistors were formed for orientation of each source drain of the 2nd N channel form MOS transistor, said 1st, 2nd, 3rd, and 4th P channel form MOS transistors — a well — the [a field and / said / 1st and 2nd] — three And a semiconductor memory characterized by thing in which the 4th P channel form MOS transistor was formed, and which is set up so that it may become a borderline with a field, and parallel N well. The 1st inverter containing the 1st N channel form MOS transistor and the 1st P channel form MOS transistor The 2nd inverter by which an input terminal was connected to an output terminal of said 1st inverter, and an output terminal was connected to an input terminal of said 1st inverter including the 2nd N channel form MOS transistor and the 2nd P channel form

MOS transistor, The 3rd P channel form MOS transistor by which a drain was connected to an output terminal of said 1st inverter, the source was connected to the 1st bit line, and the gate was connected to a word line The 4th P channel form MOS transistor by which a drain was connected to an output terminal of said 2nd inverter, the source was connected to the 2nd bit line, and the gate was connected to a word line

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the layout of the SRAM (static random access memory) cell of a CMOS configuration about a semiconductor memory.

[0002]

[Description of the Prior Art] SRAM of a CMOS configuration is broadly used as storage loaded together by Logic IC. As a storage element which constitutes this storage, the most fundamental thing is 1 port memory cell (SRAM cell) shown in drawing 16, and consists of six transistors.

[0003] The inverter IN2 in drawing 17 which showed the equal circuit consists of P channel form MOS transistor P1 and N channel form MOS transistor N1, and the inverter IN1 consists of P channel form MOS transistor P2 and N channel form MOS transistor N2. Thus, as for inverters IN1 and IN2, an input/output terminal has the relation by which cross connection was carried out mutually. The output terminal of an inverter IN1 and the input terminal of an inverter IN2 are connected to a bit line BL through the transfer gate transistor N3, the input terminal of an inverter IN1 and the output terminal of an inverter IN2 are connected to a bit line /BL through the transfer gate transistor N4, and the gate of transistors N3 and N4 is further connected to the word line WL.

[0004] Such a 6 transistor memory cell is conventionally arranged with the layout as shown in drawing 10 and drawing 11. Here, drawing 10 shows the substrate containing the diffusion layer which constitutes the transistor formed on the substrate front face, the polycrystalline silicon wiring layer formed in the upper surface, and the metal wiring layer 1 of the 1st layer further formed in the upper surface, and drawing 11 shows Uchi containing 2 thru/or the metal wiring layers 2 and 3 of the 3rd layer further formed in the upper surface. It seems that the mark of the metal wiring layers 2 and 3 with which the mark of the diffusion layer and polycrystalline silicon film with which the mark of the contact used by drawing 10 and drawing 11 or a veer hole is used for drawing 12 (a) by drawing 10, and the metal wiring layer 1 is used for drawing 12 (b) by drawing 11 is shown in drawing 12 (c).

[0005] N which forms P channel form MOS transistors P1 and P2 shown in the word line WL shown in drawing 11 at drawing 10 at parallel — a well — a field and P which forms N channel form MOS transistors N1-N4 — a well — the borderline BL11 with a field exists. The polycrystalline silicon wiring layer PL 12 connected at the gate of the polycrystalline silicon wiring layer PL 11 and a transistor P2 where the upper part of line A-A parallel to this borderline BL11 was connected to the gate of a transistor P1 is arranged at the advancing-side-by-side symmetry.

[0006] Furthermore, the lower part of line A-A is arranged for reflection at the y-axis to which the diffusion layer DR11 which constitutes transistors N1 and N3, and a word line WL and the diffusion layer DR12 which constitute transistors N2 and N4 cross at right angles.

[0007] Except for a grounding conductor GND and a word line WL being formed of the metal wiring layer 3, and a bit line BL and /BL being formed by the metal wiring layer 2, other all are constituted from this layout by the polycrystalline silicon wiring layers PL11 and PL12 and the metal wiring layer 1 so that clearly from drawing 10. Moreover, since the word line WL which consists of polycrystalline silicon wiring layers PL11 and PL12 connects the field of the memory cell concerned with the word line WL of other memory cells which cross and adjoin, the metal wiring layer 3 of a function top is unnecessary. Furthermore, the metal wiring layer 2 can also constitute a grounding conductor GND in a bit line BL, and /BL and parallel. Therefore, the layout shown in drawing 10 and drawing 11 can also be constituted from polycrystalline silicon wiring layers PL11 and PL12 and metal wiring layers 1 and 2.

[0008] Such a conventional layout consisted of minimum areas so that the design basis (design rule) limited by process technology might fulfill the following conditions.

(a1) The number of layers of a metal wiring layer is to one layer thru/or two-layer.

(a2) The minimum line width of a metal wiring layer and the design basis of a minimum interval are larger than the thing of a polycrystalline silicon layer (twice [about]).

(a3) It is made for the contact hole which is opening of a diffusion layer or a polycrystalline silicon wiring layer, and the metal wiring layer 1, and the 1st through hole or the 1st veer hole which is opening between the metal wiring layer 1 and the metal wiring layer 2 not to lap in the vertical direction directly. Moreover, it prevents that cell area increases as many contact holes or through holes are not prepared in a cell since the area of a contact hole is as large as the twice [about] of the minimum line width of the usual metal wiring layer.

(a4) between a P channel form MOS transistor and N channel form MOS transistors — N — a well — a field and P — a well — the well from which the boundary between fields exists and such a conductivity type differs — separation of a field — LOCOS — isolation by law is performed. therefore, P — a well — a field and N — a well — the separation width of face with a field — the well of the same conductivity type — it is necessary to take remarkably greatly (about 4 times) compared with the isolation width of face of a field

[0009] since it is necessary to fulfill the above conditions — before — wiring — as much as possible — a polycrystalline silicon film — constituting — P — a well — a field and N — a well — a useless field, such as performing cross connection of complicated wiring in an isolation region with a field, needed to be used effectively.

[0010] However, in a design basis, the following change has arisen by advance of process technology in recent years.

[0011] First, even if it makes a metal (b1) wiring layer increase to three layers and four layers when the technology which carries out flattening of the metal wiring layer progressed with utilization of chemical machinery polishing technology (CMP), remarkable lowering of the yield is not caused.

(b2) The minimum line width of a metal wiring layer and the design basis of a minimum interval became practically equal with the polycrystalline silicon layer.

(c2) Borderless contact technology was introduced and it enabled the area of the contact section to form by the same design basis as the minimum line width of a metal wiring layer. Furthermore, the stack TOVIA structure which forms a contact hole and a

through hole in piles, up and down directly became possible.

[0012] furthermore, the time of performing isolation — LOCOS — having progressed from law to the trench separation method (STI) — P (c1) — a well — a field and N — a well — separation width of face with a field — the well of the same conductivity type — it became almost the same as that of the isolation width of face of a field (P a well a field and P a well a field, N a well a field and N a well field).

[0013] If there is an advance of such process technology, a layout as shown in drawing 10 and drawing 11 cannot be said to be that the optimal arrangement is made. For example, the polycrystalline silicon wiring layers PL11 and PL12 carry out the configuration of a T character mold, respectively, and are mutually arranged for advancing side by side, and its useless field is large. Moreover, since it is arranged so that N channel form MOS transistor N1 and N channel form MOS transistor N3 may intersect perpendicularly mutually, the diffusion layer has bent in the L character mold, and futility has arisen in cel area too.

[0014] What has improved the layout shown in drawing 10 and drawing 11 is shown in drawing 13 and drawing 14. The fundamental transistors N1-N4, arrangement of P1-P2, and geometry are the same as that of the thing of drawing 10 and drawing 11. A point of difference is in the point which changes and constitutes the polycrystalline silicon layers PL11 and PL12 which were carrying out cross connection in the metal wiring layer 2, and constitutes the bit line BL, and /BL and a grounding conductor GND from a layout shown in drawing 10 and drawing 11 by the metal wiring layer 3 with this modification. According to the layout shown in this drawing 13 and drawing 14, area decreases about 10% from what was shown in drawing 10 and drawing 12.

[0015] However, also in the layout of drawing 13 and drawing 14, if the diffusion layer which constitutes transistors N1 and N3 and transistors N2 and N4, respectively was with the configuration of a L character mold, a colander was not obtained, but futility had arisen in cel area.

[0016]

[Problem(s) to be Solved by the Invention] As mentioned above, futility was in geometry — a diffusion layer serves as a configuration of a L character mold — and there was a problem that element area was large in the layout of the conventional SRAM cel.

[0017] This invention was made in view of the above-mentioned situation, and aims at offering the layout structure of the semiconductor memory which can reduce element area by considering as the metal wiring layer structure of three or more layers using the newest process technology, such as trench element separation technology and stack TOVIA structure.

[0018]

[Means for Solving the Problem] The 1st inverter with which a semiconductor memory of this invention contains the 1st N channel form MOS transistor and the 1st P channel form MOS transistor, The 2nd N channel form MOS transistor and the 2nd P channel form MOS transistor are included. The 2nd inverter by which an input terminal was connected to an output terminal of said 1st inverter, and an output terminal was connected to an input terminal of said 1st inverter, The 3rd N channel form MOS transistor by which the source was connected to an output terminal of said 1st inverter, a drain was connected to the 1st bit line, and the gate was connected to a word line, The source is connected to an output terminal of said 2nd inverter, and a drain is connected to the 2nd bit line. It has the 4th N channel form MOS transistor by which the gate was connected to said word line. Orientation of each source drain of the said 1st, 2nd, 3rd, and 4th N channel form MOS transistor, said 1st, and 2nd P channel form MOS transistors It is characterized by thing in which the said 1st, 2nd, 3rd, and 4th N channel form MOS transistors were formed, in which the field, said 1st, and 2nd P channel form MOS transistors were formed P well and which is set up so that it may become a borderline with a field, and parallel N well.

[0019] here — said P — a well — a field — the 1st and 2nd well — N which consists of a field and by which the said 1st and 2nd P channel form MOS transistor has been arranged — a well — on both sides of a field this 1st and 2nd P — a well — a field arranges — having — **** — said 1st P — a well — the said 1st and 3rd N channel form MOS transistor forms in a field — having — said 2nd P — a well — the said 2nd and 4th N channel form MOS transistor may be formed in a field.

[0020] Moreover, the 1st polycrystalline silicon wiring layer used for the gate of said 3rd N channel form MOS transistor, The 2nd polycrystalline silicon wiring layer used for the gate of said 1st N channel form MOS transistor and the gate of said 1st P channel form MOS transistor is arranged at parallel. The 3rd polycrystalline silicon wiring layer used for the gate of said 4th N channel form MOS transistor, The 4th polycrystalline silicon wiring layer used for the gate of said 2nd N channel form MOS transistor and the gate of said 2nd P channel form MOS transistor is arranged at parallel. Said 1st polycrystalline silicon wiring layer and said 3rd polycrystalline silicon wiring layer may be separated and formed, and may be electrically connected through a metal wiring layer and contact which constitute said word line.

[0021] Moreover, orientation of each source drain of the said 1st, 2nd, 3rd, and 4th N channel form MOS transistor, said 1st, and 2nd P channel form MOS transistors may be set up so that it may become in parallel with said bit line.

[0022] Or it may be arranged so that said 2nd polycrystalline silicon wiring layer and said 3rd polycrystalline silicon wiring layer may be located in a line on a straight line along said direction of a word line, and said 1st polycrystalline silicon wiring layer and said 4th polycrystalline silicon wiring layer may be arranged so that it may stand in a line on a straight line along said direction of a word line.

[0023] said 1st N channel form MOS transistor and said 3rd N channel form MOS transistor — said 1st P — a well — it forms in the same diffusion layer in a field — having — said 2nd N channel form MOS transistor and said 4th N channel form MOS transistor — said 2nd P — a well — it may be formed in the same diffusion layer in a field.

[0024] Moreover, as for the said 1st and 3rd N channel form MOS transistor and said 1st P channel form MOS transistor, and the said 2nd and 4th N channel form MOS transistor and said 1st P channel form MOS transistor, it is desirable to be arranged so that it may become the relation of point symmetry to a center of a memory cell.

[0025] Said 1st and 2nd bit line and a power supply line connected to the source of the said 1st and 2nd P channel form MOS transistor may consist of 2nd layer metal wiring layers, and a grounding conductor connected to the source of said word line and the said 1st and 2nd N channel form MOS transistor may consist of 3rd layer metal wiring layers.

[0026] The 1st polycrystalline silicon wiring layer used for the gate of said 3rd N channel form MOS transistor, The 2nd polycrystalline silicon wiring layer used for the gate of said 1st N channel form MOS transistor and the gate of said 1st P channel form MOS transistor is arranged at parallel. The 3rd polycrystalline silicon wiring layer used for the gate of said 4th N channel form MOS transistor, The 4th polycrystalline silicon wiring layer used for the gate of said 2nd N channel form MOS transistor and the gate of said 2nd P channel form MOS transistor is arranged at parallel. Said word line separates into the 1st and 2nd metal wiring layer, and is formed, and separate said 1st polycrystalline silicon wiring layer and said 3rd polycrystalline silicon wiring layer, it is formed, and a metal wiring layer and contact are minded. It can also arrange so that it may connect with the said 1st and 2nd metal wiring layer electrically, respectively.

[0027] The 1st and 2nd sense amplifier is independently connected to said 1st and 2nd bit line, respectively. At the time of writing Said 1st and 2nd word line in the same cel is chosen simultaneously. At the time of read-out Said 1st and 2nd word line chooses an independently different cel, and can output data by which reading appearance was carried out from each cel from said 1st and

2nd sense amplifier through said 1st and 2nd bit line.

[0028] Although each uses an N channel form MOS transistor for a transistor between the 1st and 2nd inverter and the 1st and 2nd bit line in the above-mentioned invention, you may constitute using a P channel form MOS transistor.

[0029]

[Embodiment of the Invention] Below, the gestalt of 1 operation of this invention is explained with reference to a drawing. The layout of the SRAM cel which constitutes the semiconductor memory by the gestalt of operation of the 1st of this invention is shown in drawing 1 and drawing 2. The diffusion layer formed in the semiconductor substrate front face at drawing 1, and the polycrystalline silicon film formed in the upper surface and the substrate containing the metal wiring layer 1 are shown, and Uechi containing the metal wiring layers 2 and 3 formed in the upper surface by drawing 2 is shown. The symbol of drawing 3 (a) shows the cel borderline and contact which are used in drawing 1 and drawing 2, and veers 1 and 2, and, as for the mark of drawing 3 (b), the mark of a diffusion layer, a polycrystalline silicon film, the metal wiring layer 1, and drawing 3 (c) shows the metal wiring layers 2 and 3, respectively.

[0030] N by which P channel form MOS transistors P1 and P2 were formed in the center like drawing 1 — a well — P by which the field has been arranged and N channel form MOS transistors N1 and N3 were formed in the both sides — a well — P in which a field and N channel form MOS transistors N2 and N4 were formed — a well — the field is arranged.

[0031] The gate of the word line transistor N3 and the gate of a transistor N4 which are connected to a word line WL are constituted by the separated polycrystalline silicon wiring layer, and are connected to the word line WL formed by the metal wiring layer 3 through stack TOVIA according to, respectively. As shown in drawing 2, a bit line BL and /BL are independently formed by the metal wiring layer 2, respectively. The power supply line Vdd is formed [the bit line] in the bit line BL and the center section between /BL(s) of the metal wiring layer 2 at parallel. A word line WL is formed in the direction which intersects perpendicularly with a bit line BL and /BL by the metal wiring layer 3, and the grounding conductor GND is formed in parallel by two metal wiring layers 3 at the both sides of a word line WL. Moreover, the contact to the substrate of a field is electrically connected from the grounded metal wiring layer 3 to the diffusion layer in a field P well P well according to the stack TOVIA structure which consists of the contact + veer 1+ veer 2.

[0032] With the conventional layout shown in drawing 10 and drawing 11 or drawing 13, and drawing 14, it was running so that a field and the borderlines BL11 and BL12 with a field might cross at right angles with a bit line BL and /BL P well N well. On the other hand, the layout in the gestalt of the 1st operation has the feature in a field and the point which the borderlines BL1 and BL2 of a field are running to parallel P well at a bit line BL and /BL N well, the well from which a conductivity type differs by this — P channel form MOS transistor P1 and N channel form MOS transistor N1 which constitute an inverter on both sides of the borderline of a field can be arranged so that it may be located in N channel form MOS transistor N3 of a transfer gate transistor, and parallel. Consequently, P well, it can form in parallel in the shape of a straight line at a bit line BL and /BL, without bending the N type diffusion layer ND 1 in a field and the N type diffusion layer ND in which transistors N2 and N4 were formed 2 in which transistors N1 and N3 were formed, and generating of a useless field can be prevented.

[0033] Furthermore, there is the feature also in the point that consist of a transistor P1 and a transistor N1, and the inverter and the transfer gate transistor N3, and the inverter and the transfer gate transistor N4 of another side that consist of a transistor P2 and a transistor N2 are arranged to the center of a SRAM cel at point symmetry, with the gestalt of this operation. Thus, by arranging, in the wiring which carries out cross connection of the two inverters, it becomes unnecessary to connect the wiring which connects internally the gate of transistors P1, P2, N1, and N2, and a drain so that space may be crossed, and wiring fields can be reduced.

[0034] Moreover, the polycrystalline silicon wiring layer PL 1 of transistors N1 and P1 and the polycrystalline silicon wiring layer PL 2 of a transistor N4 can be arranged on a straight line to a word line WL at parallel, and the polycrystalline silicon wiring layer PL 2 of transistors N3 and P2 and the polycrystalline silicon wiring layer PL 4 of a transistor N2 can be similarly arranged on a straight line to a word line WL at parallel. That is, all the polycrystalline silicon wiring layers PL1-PL4 and metal wiring layers 2 and 3 are parallel, and diffusion layers ND1 and ND2 are arranged so that it may intersect perpendicularly with this, and formation of the bending section which existed conventionally is unnecessary [diffusion layers].

[0035] by the way, it was shown to drawing 1 by this layout — as — two P — a well — a field and N — a well — two isolation regions exist between fields. however, the well from which a conductivity type differs by using trench element separation technology — the isolation width of face between fields — a well with the same conductivity type — since a until cutback can be carried out almost to the same extent as the isolation width of face between fields, buildup of cel area is controlled. Consequently, according to the gestalt of this operation, it is more possible than the case of the former shown in drawing 10 and 11 to reduce area about 35%.

[0036] Moreover, cel area is not only reduced, but according to the gestalt of the 1st operation, the effect that a noise is reduced for the following reasons is acquired. With the layout by the gestalt of this operation, it is relatively long to the length BL of a lengthwise direction (the direction of y), i.e., a bit line, and the length of /BL, lateral (x directions) the length, i.e., the word line WL lay length, of a cel. Thereby, it is arranged between the pitches of the x directions of a cel, respectively, and the layout of the sense amplifier connected to a bit line BL and /BL becomes easy.

[0037] Furthermore, the number of cels with which a cel configuration is connected in the x directions in the word line WL direction by the ***** more relatively than the direction of y decreases rather than the conventional layout. the cel current which carries out reading appearance and sometimes flows decreases, so that there are few cels connected to one word line. Therefore, according to the gestalt of this operation, power consumption can be reduced.

[0038] Moreover, although the metal wiring layer of the 4th layer is used on a memory cell and a bus line is run in Logic IC in many cases, the effect that many bit lines BL per cel and wiring resources of the /BL direction can be obtained for the following reasons also does so. That is, if it arranges so that bit lines BL/BL and a bus line may be parallel up and down and may run a long distance when a bus line runs on a memory cell, signal change of a bus line will serve as a capacity-coupling noise, it will superimpose on bit lines BL/BL, and malfunction will be generated. With the gestalt of this operation, such malfunction can be prevented by removing right above bit lines BL/BL, and arranging a bus line to bit lines BL/BL at parallel at parallel. Moreover, the grounding conductor GND and word line WL which consist of the metal wiring layer 3 exist between the bus lines which bit lines BL/BL consist of metal wiring layers 2, and consisted of metal wiring layers 4 which run on a memory cell, and this acts as a metal shielding layer. For this reason, it is possible to prevent generating of malfunction certainly.

[0039] The layout of the semiconductor memory by the gestalt of operation of the 2nd of this invention shows the mark used as is shown in drawing 4 and drawing 5 to drawing 6 (a) - (c).

[0040] The gestalt of this operation has established the field which takes contact to a polycrystalline silicon wiring layer in the field P well from the word line WL formed by the metal wiring layer 3 as compared with the gestalt of implementation of the above 1st, and the point of having formed the grounding conductor GND which consists of the metal wiring layer 2 further, and the power supply line Vdd in parallel at a bit line BL and /BL is different. the layout by the gestalt of this operation — a well — the above—

mentioned effect [in / when the separation width of face of a field is comparatively larger than isolation width of face, are suitable, and / the gestalt of implementation of the above 1st] -- in addition, an effect peculiar to the gestalt of these following operations is acquired.

[0041] When the power supply line Vdd and the grounding conductor GND are arranged at a word line WL and parallel, the current which flows all the cels connected to the selected word line flows into one power supply line Vdd and a grounding conductor GND. On the other hand, even the cel concerned can limit the current which flows to the power supply line Vdd and a grounding conductor GND like the gestalt of this operation at the time of read-out or the writing of a cel by running the power supply line Vdd and a grounding conductor GND to parallel at bit lines BL and BL. Consequently, according to the gestalt of the 2nd operation, it is more possible than the gestalt of implementation of the above 1st to take the large margin of operation to the electromigration and the voltage drop of the power supply line Vdd and a grounding conductor GND.

[0042] Next, the layout of the semiconductor memory by the gestalt of operation of the 3rd of this invention is explained using drawing 7 - drawing 9. As compared with the gestalt of implementation of the above 2nd, two word lines 1 and WL 2 which consisted of metal wiring layers 3 are formed, and the point connected to the word line 1 and WL 2 with which the gate of a transistor N3 differs from the gate of a transistor N4 further, respectively is different. Thus, by having formed two word lines 1 and WL 2, it becomes possible to control transistors N3 and N4 independently within one cel, and it becomes possible to read the data from a cel which is different in 1 set of bit line pairs BL/BL. Therefore, by connecting a sense amplifier to every one bit line BL, bit line / BL, although it is read-out of the single end, read-out as 2 port memory becomes possible. The same cel is chosen at the time of writing, and it is made to operate as 1 port memory with word lines WL1 and WL2 at it. Thus, at the time of read-out, 1 port memory is realizable with the gestalt of this operation with the same cel area as the usual 1 port memory at the time of 2 port memory and writing.

[0043] Each gestalt of operation mentioned above is an example, and does not limit this invention. For example, as each was shown in drawing 16 and 17, the transfer gate transistor is constituted from N channel form MOS transistors N3 and N4 by the semiconductor memory by the gestalt of the above 1st thru/or the 3rd implementation. However, like drawing 21 and drawing 22, a transfer gate transistor may be constituted from P channel form MOS transistors P3 and P4, and one SRAM cel may consist of four P channel form MOS transistors P1-P4 and two N channel form MOS transistors N1-N2. in this case -- as a layout -- a substrate -- setting -- P -- a well -- a field -- a center section -- arranging -- those both sides -- two N -- a well -- what is necessary is to arrange a field and just to replace the power supply line Vdd and a grounding conductor GND in Uechi

[0044] It seems that for example, the layout at the time of constituting the transfer gate transistor in the gestalt of implementation of the above 1st from P channel form MOS transistors P3 and P4 is shown in drawing 18 and drawing 19. Uechi -- setting -- one P -- a well -- N by which N channel form MOS transistors N1 and N2 were formed in the field, and P channel form MOS transistors P1 and P3 were formed in the both sides -- a well -- a field and N in which P channel form MOS transistors P2 and P4 were formed -- a well -- the field is arranged and the power supply line Vdd and the grounding conductor GND were changed with the substrate. Similarly, it is possible to constitute a transfer gate transistor from a P channel form MOS transistor also to the gestalt of the above 2nd and the 3rd implementation.

[0045]

[Effect of the Invention] P in which the inverter which constitutes a memory cell was formed according to the semiconductor memory of this invention as explained above -- a well -- a field and N -- a well -- the borderline of a field is arranged at parallel at a bit line -- P -- a well -- a field or N -- a well -- the configuration of the diffusion layer in a field and the configuration of the crossover inlet connection of two inverters can be made simple without the crimp section, and it is possible to reduce cel area.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] The plan having shown the layout of the substrate in the semiconductor memory by the gestalt of operation of the 1st of this invention.
- [Drawing 2] The plan having shown Uechi's layout in this semiconductor memory.
- [Drawing 3] Explanatory drawing having shown the symbol of the contact used in drawing 1 and drawing 2 , a veer, a diffusion layer, and a wiring layer.
- [Drawing 4] The plan having shown the layout of the substrate in the semiconductor memory by the gestalt of operation of the 2nd of this invention.
- [Drawing 5] The plan having shown Uechi's layout in this semiconductor memory.
- [Drawing 6] Explanatory drawing having shown the symbol of the contact used in drawing 4 and drawing 5 , a veer, a diffusion layer, and a wiring layer.
- [Drawing 7] The plan having shown the layout of the substrate in the semiconductor memory by the gestalt of operation of the 3rd of this invention.
- [Drawing 8] The plan having shown Uechi's layout in this semiconductor memory.
- [Drawing 9] Explanatory drawing having shown the symbol of the contact used in drawing 7 and drawing 8 , a veer, a diffusion layer, and a wiring layer.
- [Drawing 10] The plan having shown the layout of the substrate in the conventional semiconductor memory.
- [Drawing 11] The plan having shown Uechi's layout in this semiconductor memory.
- [Drawing 12] Explanatory drawing having shown the symbol of the contact used in drawing 10 and drawing 11 , a veer, a diffusion layer, and a wiring layer.
- [Drawing 13] The plan having shown the layout of the substrate in other conventional semiconductor memories.
- [Drawing 14] The plan having shown Uechi's layout in this semiconductor memory.
- [Drawing 15] Explanatory drawing having shown the symbol of the contact used in drawing 13 and drawing 14 , a veer, a diffusion layer, and a wiring layer.
- [Drawing 16] The circuit diagram having shown the configuration of a SRAM cel.
- [Drawing 17] The circuit diagram having shown equivalent circuitry electrically [this SRAM cel].
- [Drawing 18] The plan having shown the layout of the substrate in the semiconductor memory by the gestalt of operation of the 4th of this invention.
- [Drawing 19] The plan having shown Uechi's layout in this semiconductor memory.
- [Drawing 20] Explanatory drawing having shown the symbol of the contact used in drawing 18 and drawing 19 , a veer, a diffusion layer, and a wiring layer.
- [Drawing 21] The circuit diagram having shown the circuitry of the SRAM cel in the semiconductor memory by the gestalt of operation of the 4th of this invention.
- [Drawing 22] The circuit diagram having shown equivalent circuitry electrically [this SRAM cel].

[Description of Notations]

BL1-BL8 Bit line
 WL, WL1, WL2 Word line
 GND Grounding conductor
 Vdd Power supply line
 N1-N4 N channel form MOS transistor
 P1-P4 P channel form MOS transistor
 IN1, IN2 Inverter
 ND1, ND2 Diffusion layer
 PL1, PL2 Polycrystalline silicon wiring layer

[Translation done.]

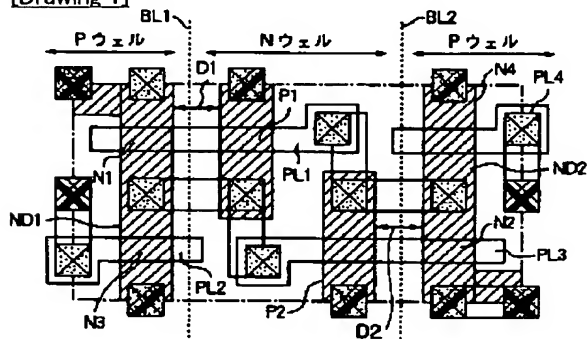
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

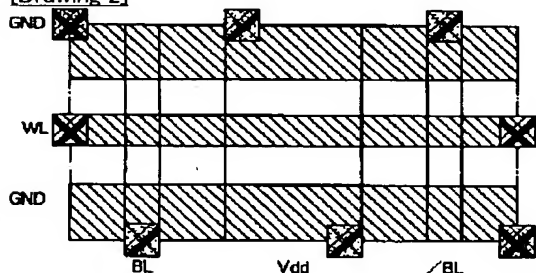
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

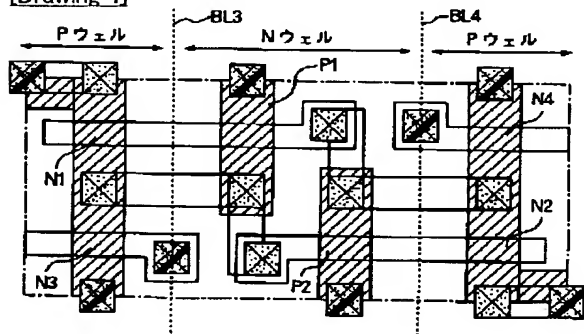
[Drawing 1]



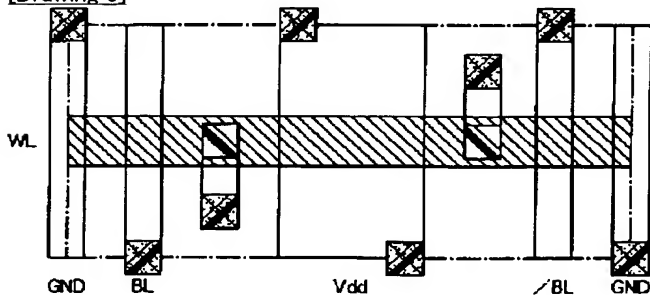
[Drawing 2]



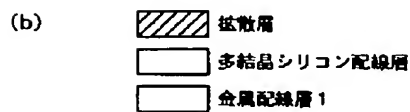
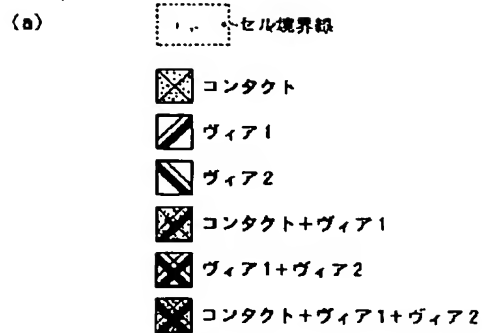
[Drawing 4]



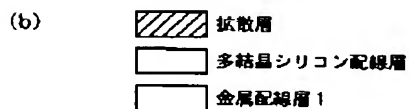
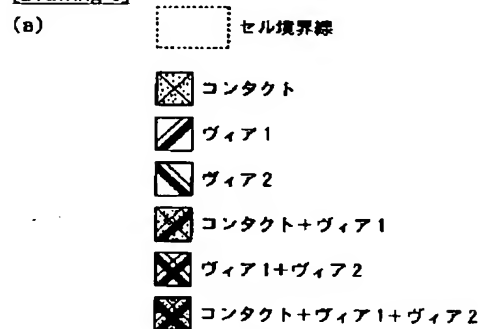
[Drawing 5]



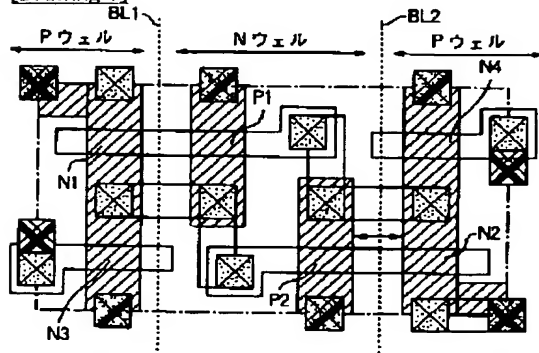
[Drawing 3]



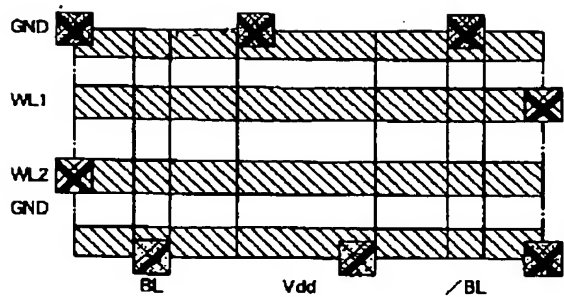
[Drawing 6]



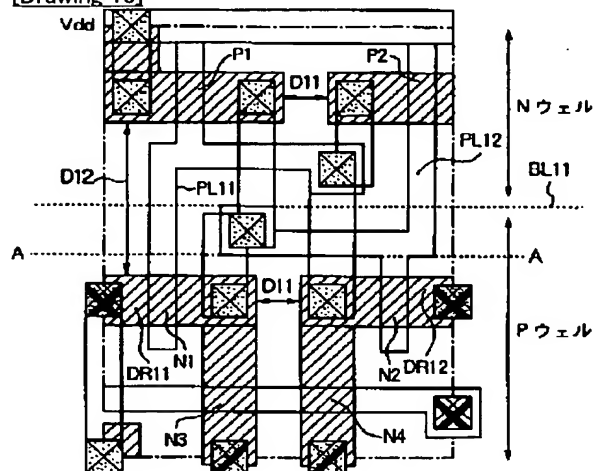
[Drawing 7]



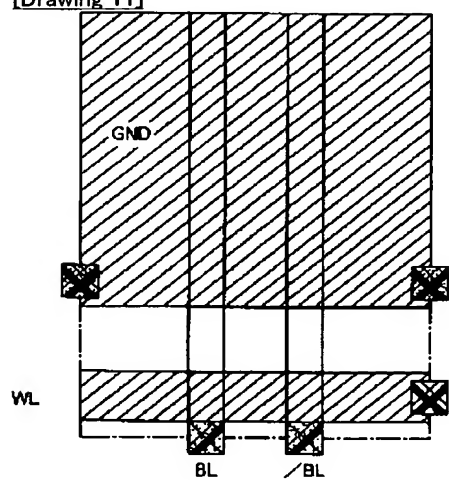
[Drawing 8]



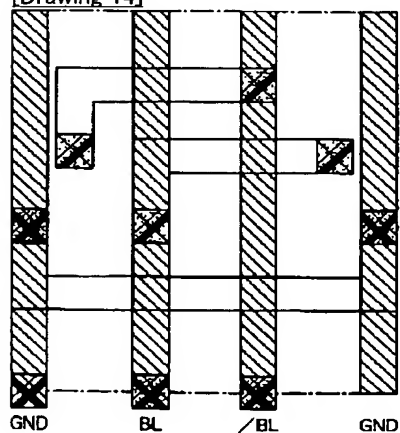
[Drawing 10]



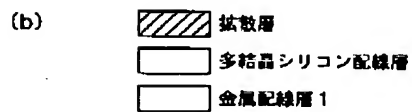
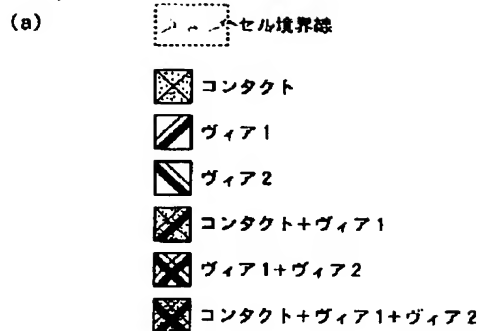
[Drawing 11]



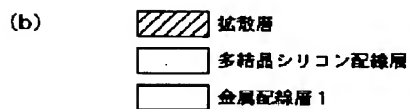
[Drawing 14]



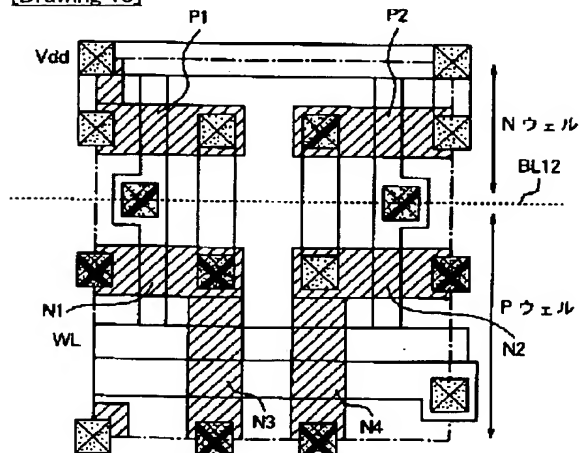
[Drawing 9]



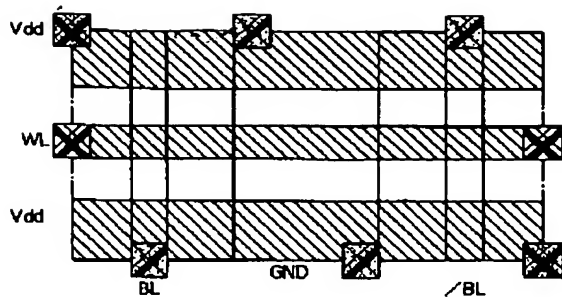
[Drawing 12]








[Drawing 13]



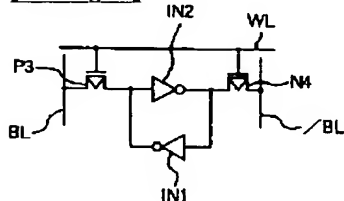
[Drawing 15]



[Drawing 20]

(a)  セル境界線 コンタクト ヴィア1 ヴィア2 コンタクト+ヴィア1 ヴィア1+ヴィア2 コンタクト+ヴィア1+ヴィア2(b)  拡散層 多結晶シリコン配線層 金属配線層1(c)  金属配線層2 金属配線層3

[Drawing 22]



[Translation done.]

BEST AVAILABLE COPY